

PAT-NO: JP409017805A
DOCUMENT-IDENTIFIER: JP 09017805 A
TITLE: BIPOLAR SEMICONDUCTOR DEVICE
PUBN-DATE: January 17, 1997

INVENTOR-INFORMATION:

NAME

NANBA, MITSUO

ISHIKAWA, MICHIO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP07164990

APPL-DATE: June 30, 1995

INT-CL (IPC): H01L021/331, H01L029/73 , G11B005/027 ,
H01L021/8249
 , H01L027/06

ABSTRACT:

PURPOSE: To improve the reliability of a semiconductor device against reverse-biased stress voltage between emitter and base, by making the concentration of the connection between a base layer and a high-concentration external base layer lower than the junction concentration of the base layer, and placing the maximum concentration point of the connection in a position deeper than the junction depth of the emitter layer.

CONSTITUTION: A cylindrical base 3 and a graft base 10 are connected with

each other via a link base 2 as a linking layer. The link base 2 is of two-layered structure; its maximum concentration is $5.0 \times 10^{17} / \text{cm}^3$ and its junction depth is $0.34 \mu\text{m}$. The link base 2 is placed in a position deeper than the junction depth of an emitter layer 4 and shallower than the junction depth of the cylindrical base 3. The impurity concentration of the link base is lower than the junction concentration of the cylindrical base 3, and the maximum concentration point of the link base 2 is positioned deeper than the junction depth of the emitter layer 4. This enables the reduction of electric fields produced between emitter and base.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17805

(43)公開日 平成9年(1997)1月17日

| (51)IntCl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-------------------------|-------|---------|---------------|---------|
| H 0 1 L 21/331 | | | H 0 1 L 29/72 | |
| 29/73 | | 9559-5D | G 1 1 B 5/027 | 5 0 2 A |
| G 1 1 B 5/027 | 5 0 2 | | H 0 1 L 27/06 | 3 2 1 B |
| H 0 1 L 21/8249 | | | | |
| 27/06 | | | | |

審査請求 未請求 請求項の数5 O L (全 14 頁)

(21)出願番号 特願平7-164990

(22)出願日 平成7年(1995)6月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 難波 光夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 石川 通夫

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 秋田 収喜

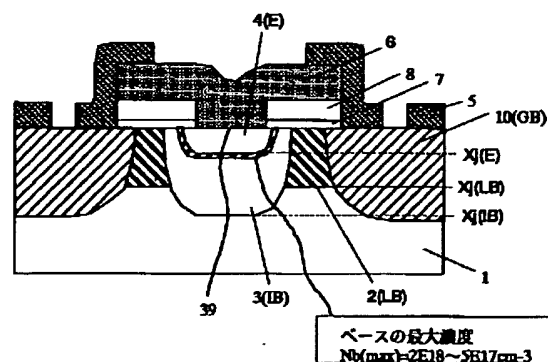
(54)【発明の名称】 バイポーラ型半導体装置

(57)【要約】

【目的】 磁気ディスクの書き込み/読み込み磁気ヘッドに用いられているバイポーラ型半導体装置、あるいはBiCMOS回路のプリアップ側回路に使用されているバイポーラ型半導体装置の、エミッタ・ベース間に印加される逆バイアス電圧に対する信頼性の向上させる。

【構成】 半導体の表面領域にシリンドリカルベースが設けられ、該ベース内にエミッタ層が設けられ、シリンドリカルベースのエミッタと接触する最大不純物濃度を $2 \times 10^{18} / \text{cm}^3$ から $5 \times 10^{17} / \text{cm}^3$ の範囲とし、シリンドリカルベースとその周辺に設けられたグラフトベースとの接続を、シリンドリカルベースの接合濃度より低濃度で、かつエミッタ層の接合深さより深く、かつシリンドリカルベースよりは浅く設けたリンクベースで接続する。

図1



ベースの最大濃度
 $Nb(\max) = 2 \times 10^{18} \sim 5 \times 10^{17} \text{cm}^{-3}$

【特許請求の範囲】

【請求項1】 半導体基板主面の表面領域にベース接合が設けられ、該ベース接合領域内にエミッタ層が設けられ、かつ前記トランジスタのエミッタ接合とベース接合に逆バイアス電圧が印加されるトランジスタを備えたバイポーラ型半導体装置において、該ベース層が上記エミッタ形成孔よりエミッタ層に対してシリンドリカル状に設けられているとともに、該ベース層と、その周辺に設けられた高濃度外部ベース層との接合を行なうつなぎ層の最大濃度点が前記エミッタ層の接合深さより深い位置に設けられていることを特徴とするバイポーラ型半導体装置。

【請求項2】 請求項1に記載のバイポーラ型半導体装置において、前記ベース層の前記エミッタ層との接合面の最大不純物濃度が、 $2 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{17} / \text{cm}^3$ であることを特徴とするバイポーラ型半導体装置。

【請求項3】 請求項1に記載のバイポーラ型半導体装置において、前記トランジスタが半導体回路装置中の一部領域についてのみに形成され、他の領域ではベース層が異なる仕様で構成されていることを特徴とするバイポーラ型半導体装置。

【請求項4】 請求項1又は請求項2に記載のバイポーラ型半導体装置において、前記トランジスタが、磁気ディスクの書き込み/読込み磁気ヘッドのリードアンプ回路に用いられることを特徴とするバイポーラ型半導体装置。

【請求項5】 請求項1又は請求項2に記載のバイポーラ型半導体装置において、前記トランジスタが、磁気ディスクの書き込み/読込み磁気ヘッドのライトアンプ回路に用いられることを特徴とするバイポーラ型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に関し、特に、情報産業分野において利用される、磁気ディスク情報等の書き込み/読込みに用いられるバイポーラ型半導体装置、あるいはBiCMOS回路のプリアップ側回路等に使用されるバイポーラ型半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来、バイポーラ型半導体装置のエミッタ/ベース接合に印加される逆バイアス・ストレス電圧に起因するトランジスタ特性の劣化現象に関する検討は、これまで実用上したる問題が生じていなかったために、必ずしも充分に行なわれていなかった。

【0003】 ところが、近年バイポーラ型半導体装置の高速化のために、接合プロファイルの浅接合化が採用される傾向にあり、その結果、従来と同じ電圧ストレス印加条件においても、エミッタ/ベース接合間により高い

電界が発生しやすい構造となっている。そのために、特に磁気ディスク情報の、書き込み/読込みに用いられる半導体装置或いはBiCMOS回路のプリアップ側回路等に使用される半導体装置においては、そのエミッタ/ベース接合の信頼性が必ずしも充分とは云えない状態となり始めている。

【0004】 このようなベースの形成方法としては熱拡散による方法とイオン打込みによる方法とがあり、熱拡散によるベース接合の形成では、最も不純物濃度の高い箇所は、エミッタ接合の上面となるが、現在では主流となっているイオン打込み法による形成では、イオン打込み法の性質上、ベース接合の最も不純物濃度の高い箇所は、通常エミッタ接合のほぼ中央付近となることが多い。

【0005】 また、ベース層はエミッタ孔から見て、平行平板、すなわちパラレル・プレーン状に設けられている。そのために、ベース接合の最高不純物濃度点はエミッタ層の側面となる。

【0006】

【発明が解決しようとする課題】 本発明者らは、前記従来技術を検討して、以下のような問題点を見出した。

【0007】 従来技術によるプロファイルに基づくエミッタ/ベース接合に逆バイアス電圧を印加した状態で長く保持した場合に、エミッタ/ベース接合に発生した高電界による、いわゆるホットキャリア効果に起因してトランジスタに劣化が生じ、トランジスタのベース電流が増加するために、トランジスタの電流増幅率が低下するという問題が生じる。

【0008】 本発明者らの実験では、逆バイアス電圧条件一定で、印加時間を変えてみると、印加時間の増加に伴って、低エミッタ・ベース順バイアス電圧領域のベース電流が増加し、また、電流増幅率とコレクタ電流の関係では、印加時間が増加すると低コレクタ電流における電流増幅率に大幅な低下が生じている。このような劣化によってトランジスタの信頼性が損なわれることとなる。

【0009】 トランジスタのエミッタ/ベース接合領域では高電界条件下において、空乏層が発生し、側面でホットキャリアが発生し、それがベース層上の絶縁膜中に注入されてトラップを形成する。このために、ベース電流の再結合成分が増加するのである。

【0010】 しかしながら、従来技術を用いた場合には、高不純物濃度のエミッタ層と、高不純物濃度のベース層とが、エミッタ側面でエミッタ/ベース接合面を形成するために、該側面における空乏層の拡がりは小さい。このために、電界の低減が図れないという問題があった。

【0011】 このような従来技術の問題点を解決するために、1990年、アイ・イー・ディ・エム テクニカル ダイジェスト、227頁乃至230頁 (IEDM T

Technical Digest, p.227-230 (1990))に記述されているように、エミッタ接合を、砒素とリンの2種類の不純物ソースを用いて形成するという試みが行なわれている。この改良された技術では、ベース接合プロファイルは一定とし、エミッタ接合の側壁領域のプロファイルを2段階として、電界の低減を図っている。

【0012】しかし、この技術では、エミッタ接合プロファイルを改良しているが、ベース接合は従来のままの高濃度仕様であるために、従来に比較してストレス電圧に対応する電界の大幅な低減は為されず、効果的な信頼性向上は図れていない。

【0013】また、従来は、前記ホットキャリアによる劣化の機構が十分に解析されておらず、そのために、接合深さと劣化とがどのような関係にあるのかが、不明なままであった。そして、前述したバイポーラ型半導体装置の高速化を目的として、接合プロファイルの浅接合化が採用される傾向にあっても、これが信頼性に与える影響についての考察が、充分に加えられていないという問題もあった。

【0014】他方において、情報産業分野において利用される磁気ディスクの書き込み/読み込みヘッド等の低ノイズ用回路に使用されるバイポーラトランジスタには、雑音の低減のためにベース抵抗値をより低減させることが要求されているという問題があった。

【0015】本発明は、これらの問題を解決するためになされたものであり、半導体装置のエミッタ/ベース間の逆バイアス・ストレス電圧に対する信頼性を向上させることを目的としている。

【0016】本発明の他の目的は、半導体装置のベース抵抗値を増加させずに前記信頼性の向上を図ることが可能となる技術を提供することである。

【0017】また、発明者らは、トランジスタの寿命について種々の検討を行なった結果、トランジスタの寿命を決定する要因は、逆バイアス・ストレス電圧、エミッタ接合深さ、逆バイアス・ストレス印加時のエミッタ/ベース間のリーク電流、ストレス印加時の環境温度、プロセス・バラツキ補正項の各因子が支配的であることを見出した。

【0018】これら各因子の内、逆バイアス・ストレス電圧は回路設計の仕様で決定され、ストレス印加時の環境温度は使用条件で決定され、プロセス・バラツキ補正項は全体的なデータの補正を行なうためのものであり、エミッタ接合深さはデバイス特性によって決定される点を考慮すると、実際にデバイス設計の面で比較的自由に変更することが可能となるのは、ストレス印加時のエミッタ/ベース間のリーク電流である。

【0019】そこで、本発明は、前記リーク電流低減のための技術を開発し、トランジスタの寿命の延長を図ることをも目的としている。

【0020】本発明の、前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0022】すなわち、半導体の表面領域にベース接合が設けられ、該ベース接合領域内にエミッタ層が設けられ、かつ前記トランジスタのエミッタ接合とベース接合に逆バイアス電圧が印加されるバイポーラ型半導体装置において、上記エミッタ形成孔よりエミッタ層に対してシリンドリカル状に該ベース層（以下、シリンドリカルベースという）が設けられるとともに、該ベース層の前記エミッタ層との接触するその最大不純物濃度が、 $2 \times 10^{18} / \text{cm}^3 \sim 5 \times 10^{17} / \text{cm}^3$ の範囲に制御されている。

【0023】上記バイポーラ型半導体装置において、上記ベース層と、その周辺に設けられた高濃度外部ベース層との接続を、上記ベース層の接合濃度より低濃度で、かつ前記エミッタ層の接合深さよりは深く、かつ上記ベース層の接合深さよりは浅く設けたつなぎのベース層（以下、リンクベースという）で接続する。さらにまた、該リンクベース層はその最大濃度点が前記エミッタ層の接合深さより深い位置に設けられている。

【0024】

【作用】上記した手段によれば、ベース層をシリンドリカル状に形成し、上記ベース層と、その周辺に設けられた高濃度外部ベース層との接続を、上記ベース層の接合濃度より低濃度で、かつその最大濃度点が前記エミッタ層の接合深さより深い位置に設けることによって、このリンクベース層のピーク濃度が、該ベース層の前記エミッタ層と接触するその最大不純物濃度を増加させることがなく、エミッタ層内で、ピーク濃度となる高不純物濃度のベース層を適用しても、エミッタ層から見た実効的なベース濃度を低減でき、実質的なエミッタ/ベース間耐圧特性の改善が可能となる。

【0025】これにより、トランジスタの信頼性を向上することが可能となる。また、半導体装置のエミッタ/ベース間の逆バイアス・ストレスに対する信頼性を向上させるとともに、ベース抵抗の値を低減させることも可能となる。また、逆ストレス・バイアス電圧印加時のエミッタ/ベース間のリーク電流を低減させることが可能となる。

【0026】以下、図面を参照して、本発明を詳細に説明する。

【0027】

【実施例】

（実施例1）図1は本発明の一実施例である半導体装置のバイポーラ型トランジスタを示す縦断面図である。

5

【0028】図中、1は半導体基板上に埋込層(何れも図示せず)を介して形成されたコレクタ層、3はコレクタ層1の表面領域に設けられたシリンドリカル状に設けられた真性ベース層(以下、シリンドリカルベースという)であり、4はシリンドリカルベース層の表面領域内に設けられたエミッタ層であり、このエミッタ接合とベース接合に逆バイアス電圧が印加される。シリンドリカルベース3は後述する絶縁膜7、8に設けたエミッタ形成孔39よりエミッタ層4に対してシリンドリカル状に自己整合的に設けられる。シリンドリカルベース3は実

行的な最大不純物濃度が $1.3 \times 10^{18}/\text{cm}^3$ 、エミッタ層4は接合深さ $0.17 \mu\text{m}$ であり、エミッタ接合深さ下のトランジスタが動作する実効ベース幅は $0.28 \mu\text{m}$ である。

【0029】10はシリンドリカルベース3の周辺に設けられた高濃度外部ベース層であるグラフトベースであり、グラフトベース10は、エミッタ層4から $1.2 \mu\text{m}$ の間隔をとって外側に設けられており、その不純物ピーク濃度は $9 \times 10^{19}/\text{cm}^3$ 、接合深さは $0.37 \mu\text{m}$ である。なお、グラフトベース10とエミッタ層4との

間隔については、夫々のイオン打ち込みのマスク上の間隔で表わしており、従って実際に形成される間隔はイオンがマスクの内側に入り込む分だけ短くなる。

【0030】シリンドリカルベース3とグラフトベース10とはつなぎ層であるリンクベース2によって接続されており、リンクベース2は2層構造で、最大濃度が $5.0 \times 10^{17}/\text{cm}^3$ で、接合深さは $0.34 \mu\text{m}$ である。リンクベース2はエミッタ層4の接合深さよりは深く、かつシリンドリカルベース3の接合深さよりは浅く設け、不純物濃度がシリンドリカルベース3の接合濃度より低濃度で、該リンクベース2の最大濃度点がエミッタ層4の接合深さより深い位置に設定されている。なお、図中の、(E)、(IB)、(LB)、(GB)は夫々エミッタ、シリンドリカルベース、リンクベース、グラフトベースを示し、他の図にても同様に表示する。

【0031】6は 200 nm 程度の厚さに形成された多結晶Si膜からなるエミッタ電極であり、絶縁膜7、8によって分離され、リンクベース2上に延びている。5はベース配線(図示せず)をエミッタ電極6から分離する絶縁膜である。

【0032】エミッタ層4との接触面におけるリンクベース2の最大不純物濃度 $N_b(\text{max})$ はトランジスタが必要とする特性によって、種々変更してもよい。しかし、濃度が高過ぎる場合には充分なE/B間の耐圧特性を獲得できず、濃度が低過ぎる場合にはパンチスルーなどの問題から、特性安定化のためには幅の広いベース幅(Wb)とする必要が生じるので、高周波特性が劣化する。従って $2 \times 10^{18}/\text{cm}^3 \sim 5 \times 10^{17}/\text{cm}^3$ の範囲に制御されているのが望ましい。

【0033】なお、リンクベースの構造については、例

6

えば特開昭61-1052号や特開昭62-291965号に開示されているが、これらの技術では、真性ベースの濃度制御は示されていない。したがって、これらの従来技術は、E/B耐圧が通常よりも低下するのを、「つなぎ」ベースを利用して回復するための技術であるに過ぎず、本発明では、E/B耐圧が通常以上にするのであって、上記技術とは、基本的な考え方がまったく異なっている。

【0034】次に、本実施例のバイポーラ型半導体装置の製造方法について説明する。

【0035】図2乃至図9は、本実施例に対応したバイポーラ型半導体装置の製造工程ごとのトランジスタを示す縦断面図である。

【0036】本実施例のバイポーラ型半導体装置の製造方法は、先ず図示はしないがP型の単結晶Si基板の局所領域にN+埋込層を形成し、この半導体基板主面上に、図2に示すように比抵抗 $3 \Omega \text{ cm}$ のをエピタキシャル法によってコレクタ層1を $1.75 \mu\text{m}$ 形成した。しかる後に 850°C で25分の条件でコレクタ層1の表面を酸化処理し、 30 nm の SiO_2 からなる絶縁膜7を設けた。

【0037】次に、図3に示すように、イオン打ち込み法によって、リンクベース2となるP型層の形成を行なった。その条件は、B+ソースを用いて、 20 KeV で $2.0 \times 10^{12}/\text{cm}^2$ と 80 KeV で $1.0 \times 10^{13}/\text{cm}^2$ ドーズ量の2重の打ち込みを行ない、 850°C で30分の窒素(N_2)雰囲気条件でアニールした。

【0038】次に、図4に示すように、CVD法により絶縁膜8を 1500 \AA 厚みで被着させた。

【0039】次に、図5に示すように、レジストを塗布後に、公知のホトリソグラフィによつてこのレジストをパターニングしてレジストマスク9を形成し、このレジストマスク9を用いてエッチング加工を行ない、絶縁膜7、8を貫通するエミッタ形成孔39を設けた。このエミッタ形成孔39から、先ずB+ソースを用いて、 60 KeV で $4 \times 10^{13}/\text{cm}^2$ ドーズ量条件でシリンドリカルベース3の形成を行なった。

【0040】次に、図6に示すように、減圧CVD法により、エミッタ電極6形成用の多結晶Si膜を 200 nm 堆積させ、As+をソースとして、 80 KeV で $2 \times 10^{16}/\text{cm}^2$ ドーズ量条件でドーピングを行ない、 930°C で10分の N_2 雰囲気条件でアニールした。これにより、エミッタ層4を浅く形成した後に、レジスト9を除去する。

【0041】次に、図7に示すように、レジストを塗布後に、公知のホトリソグラフィによつてこのレジストをパターニングしてエミッタ形成孔39から $1.2 \mu\text{m}$ 外部へ広がった領域をおおうレジストマスク9を形成し、このレジストマスク9を用いてエッチング加工を行ない、レジストマスク9に覆われた領域以外の多結晶Si

10

20

30

40

50

膜をパターンニングしてエミッタ電極6を形成し、併せてグラフトベース10上に位置する絶縁膜7、8を除去した。

【0042】次に、図8に示すように、BF₂+ソースを用いて、60KeVで $2 \times 10^{15}/\text{cm}^2$ でイオン打込み法によって、グラフトベース10の形成を行ない、次いで、930℃で15分のN₂雰囲気条件でアニールした後に、図9に示すように、減圧CVD法により、絶縁膜5を550nm形成した。

【0043】この後、公知のホトリソグラフィ及びエッチング加工を行なうことにより、グラフトベース10とベース電極(図示せず)との接続領域を絶縁膜5に開口し図1の構造を得た。

【0044】このような構成の本実施例のトランジスタと従来のトランジスタとの比較を行なう。図10に示すのは、比較の対象とした従来のトランジスタを示す縦断面図である。本実施例トランジスタと相違するのは、真性ベース層20がエミッタ形成孔39から見て、平行平板、すなわちパラレルプレイン状に設けられている点である。図11は図1及び図10のベース部分を拡大して示す図であり、(a)はシリンドリカルベース構造で、(b)はパラレルプレインベース構造である。(b)のパラレルプレインベース構造では、真性ベース層20がつなぎのベース層を兼ねていて、その最高不純物濃度N_b(max)は $5 \times 10^{18}/\text{cm}^3$ である。なお、エミッタ領域とグラフトベースとの間隔は何れも1.2μmとしている。

【0045】図12は図11の(b)を拡大した図であり、従来のトランジスタのエミッタ/ベース接合領域を示している。すなわち高電界条件下において、空乏層37が発生し、エミッタ接合から見た場合に最高不純物濃度を示す箇所xはエミッタ層4の側壁「P」の地点でホットキャリアが発生し、それが距離d離れた絶縁膜7中に注入されてトラップ38を形成する。このために、ベース電流の再結合成分が増加するのである。

【0046】このような従来技術を用いた場合には、高不純物濃度のエミッタ層4と、 $5 \times 10^{18}/\text{cm}^3$ もの高不純物濃度のベース層20とが、エミッタ側面のP点でエミッタ/ベース接合面を形成するために、そこでの空乏層37の拡がりは小さい。このために、結果として、電界の低減は図れないのである。

【0047】これに対して、シリンドリカルベースとグラフトベースとをリンクベースによって接続し、リンクベースをエミッタ層の接合深さよりは深く、かつシリンドリカルベースの接合深さより浅く設け、かつその不純物濃度の最大濃度点がエミッタ層の接合深さより深い位置に設定した構造とすることによって、エミッタの底面を含めてエミッタ/ベース接合面を形成するために、空乏層の拡がりが大きく、このために電界の低減が図れることとなる。

【0048】これに伴い、実質的なエミッタ/ベース間耐圧特性の改善が可能となり、エミッタ面積が $1 \times 5 \mu\text{m}^2$ トランジスタでリーク電流10μAで評価する場合には、耐圧は4.7Vから8.5Vまで改善できる。

【0049】係る点で、シリンドリカルベースは、ベース幅を狭めた条件下で、エミッタ/ベース間の電界を効果的に緩和するのに有効な方法であり、逆ストレス・バイアスV_s印加時のエミッタ/ベース間のリーク電流I_{ebo}を必要な信頼性のレベルに従って低減できる。これにより、トランジスタの信頼性を向上させることが可能となる。

【0050】図13は図1に示すトランジスタの不純物プロファイルを示す図であり、(a)は真性トランジスタとなるエミッタ層4及びシリンドリカルベース3の不純物プロファイルであり、(b)はリンクベース2の不純物プロファイルである。また、図14は図10に示す従来のトランジスタの不純物プロファイルを示す図であり、真性トランジスタ領域となるエミッタ層4及び真性ベース20の不純物プロファイルである。何れも図中、縦軸は不純物濃度を表わし、横軸は半導体基板主面を0とした基板中への深さを表わし、マイナス(−)記号の付したものは、半導体基板主面上に積層された多結晶Si膜を表わしている。

【0051】本実施例では、リンクベース2の最大濃度点はエミッタ接合より深い位置に設けている。シリンドリカルベース3を形成していることによって、図13からわかるように、エミッタ層4より浅い位置にて $2.5 \times 10^{18}/\text{cm}^3$ のピーク濃度となるベース層を適用しても、エミッタ層4から見た実効的なベース濃度N_b(n_{ax})は、 $5 \times 10^{17}/\text{cm}^3$ まで低減できる。

【0052】このようにシリンドリカルベースがN_b(n_{ax})の低減に効果的であるが、本発明者らは更にその他の特性についても比較を行なった。

【0053】

【表1】

| 特性 | 構造 | シリンドリカル | パラレルプレイン |
|------------------|-----|---------|----------|
| hfe | | 128 | 70.7 |
| f _T | GHz | 4.07 | 2.10 |
| r _{bb'} | Ω | 235 | 131 |

【0054】表1は電流増幅率h_{fe}と遮断周波数f_T特性の実験結果で、シリンドリカルベース構造が電流増幅率h_{fe}と遮断周波数f_T特性ともにすぐれていることがわかる。h_{fe}とf_T改善の要因を図15によって模型的に説明する。すなわち、(b)に示すパラレルプレインベース構造ではエミッタの底面成分からのキャリアの注入電流I_c(S)のみであるのに対して、(a)に示すシリンドリカルベースでは、底面成分からのキャリアの注入電流I_c(S)に加えてエミッタ側壁成分I_c(L)からのキャ

リアの注入が加わるために、トータルのコレクタ電流 I_c が増加する。これによって、表1に示した特性の相違が生じる。

【0055】このようなシリンドリカルベース構造における特性向上には、上記ベース層と、その周辺に設けられた高濃度外部ベース層との接続を、上記ベース層の接合濃度より低濃度で、かつその最大濃度点が前記エミッタ層の接合深さより深い位置に設ける構成が寄与している。リンクベースの不純物濃度ピーク位置がエミッタ接合より浅い場合には、このリンクベースのピーク濃度

が、該ベース層の前記エミッタ層と接触するその最大不純物濃度を増加させ、エミッタ/ベース間特性に悪影響を与えるからである。

【0056】既述したように、本発明のシリンドリカル・ベース構造においては、 h_{fe} と f_T の特性向上をはかるために、シリンドリカルベースとその周辺に設けられたグラフトベースとの接続を、シリンドリカルベースの接合濃度より低濃度で、かつエミッタ層の接合深さより深く、かつシリンドリカルベースよりは浅く設けたリンクベースで接続しているが、このリンクベースの仕様

と、特性との関係について、以下に記述する。

【0057】図15の(a)中に実験条件を示すように、リンクベース2の接合深さ $X_j(LB)$ を、エミッタ層4の接合深さ $X_j(E)$ より深く、かつシリンドリカルベース $X_j(B)$ よりは浅くなる条件で変化させた時の特性を図16に示している。エミッタとグラフトベースとの間隔は $1.2\mu m$ としている。

【0058】図16の(a)図が $r_{bb'}$ と h_{fe} についての結果であり、(b)図が f_T についての結果である。図中で $X_j(LB)$ は、エミッタ層4の底面 $X_j(E)$ 点を0%、シリンドリカルベース2の底面 $X_j(B)$ 点を100%として表わしている。 $X_j(LB)$ が大きくなるにつれて、 $r_{bb'}$ は改善されるが、 h_{fe} と f_T とは悪化する傾向にあることがわかる。本発明の実施においては、この性質を把握して、 $X_j(LB)$ の最適仕様とする必要がある。すなわち、 $r_{bb'}$ に重点をおく時には、 $X_j(LB)$ は深くするのがよい。

【0059】ところで、表1にも表われているように、シリンドリカルベースはベース抵抗 $r_{bb'}$ が増加しやすい構造である。この $r_{bb'}$ の増加はエミッタ領域とグラフトベースとの間隔の調整によって抑制が可能となる。これによって、前記半導体装置のエミッタ/ベース間の逆バイアス・ストレスに対する信頼性を向上させるとともに、ベース抵抗の値を低減させることも可能となる。

【0060】本実施例のグラフト・ベース層10は、エミッタ層4から $1.2\mu m$ の間隔を隔てて設けられている。その不純物ピーク濃度は $9 \times 10^{19}/cm^3$ 、接合深さは $0.37\mu m$ である。これにより、ベース抵抗($r_{bb'}$)はエミッタ層4の寸法が $1 \times 5\mu m^2$ のトランジスタで 235Ω となり、従来の 131Ω に比べて79

%の増加した。

【0061】しかし、グラフト・ベース層10とエミッタ層4との間隔を $1.2\mu m$ から $0.8\mu m$ に短縮した仕様のトランジスタでは、ベース抵抗 $r_{bb'}$ は 139Ω まで改善され、従来の 133Ω に比べて遜色がないまでの特性が実現できた。係る $0.8\mu m$ 仕様のトランジスタでは、良好なE/B耐圧特性に加えて、良好なノイズ特性を有し、低ノイズ回路用として適用することも可能となる。なお、このようにグラフト・ベース層10とエミッタ層4との間隔を $0.8\mu m$ に短縮しても、グラフト・ベース層10とエミッタ層4とを直接接触させずに製造することは可能である。このため、エミッタ・ベース間耐圧特性に変化はなく、従って耐ホットキャリア特性には何らの変更も生じない。

【0062】図17は、エミッタ層と接する最大のベース層不純物濃度 $N_b(max)$ を変化させて、各濃度における逆ストレス電圧 V_s とエミッタ/ベース(以下、E/Bと略記する)間の耐圧特性 $B_{V_{ebo}}$ との関係を示すグラフである。図17中、縦軸はE/B間のリーク電流 I_{ebo} を、横軸には逆ストレス電圧 V_s をそれぞれに表わしている。40を付した線が従来のトランジスタの特性であり、41を付した線が本発明に係るトランジスタの特性である。本発明ではa, b, c, dに示す4種類のベース層最大濃度 $N_b(max)$ における特性を示している。

【0063】本発明にかかるトランジスタでは、リンクベースのアロファイル形状を新規なものとしてベース層最大濃度 $N_b(max)$ を低下させる効果によって、図から明らかなように低逆ストレス電圧 V_s でのリーク電流 I_{ebo} が、 $1 \times 10^{-12}A$ 以下となる。そして、特性的にも40に示した従来と異なり、急峻な立上りのいわゆるアバランシェ降伏モードとなる様子が容易に推察できよう。

【0064】図18は上記の従来のトランジスタの劣化を示すグラフである。(a)は、縦軸にコレクタ電流 $I_c(24)$ 、およびベース電流 $I_b(25)$ を、横軸にエミッタ・ベース順バイアス電圧 V_{be} をとった、ガンメル・プロットと通常呼ばれているグラフである。

【0065】常温にて逆バイアス $V_s = 3.2V$ 条件一定で、印加時間 t_s を0秒から 1.0×10^4 秒まで変えている。25でa~eで示しているのは印加時間 t_s に依存して変化するベース電流 I_b を示している。印加時間 t_s が増えるに従って、低エミッタ・ベース順バイアス電圧 V_{be} 領域のベース電流 I_b が増加している様子がわかる。

【0066】このガンメル・プロットに基づいて、電流増幅率 h_{fe} とコレクタ電流 I_c の関係でまとめたのが、図18の(b)図である。図で13が電流増幅率 h_{fe} で、a~eで示しているのは印加時間 t_s である。印加時間 $t_s = e$ では低コレクタ電流 I_c 側の電流増幅

11

率 hfe に大幅な低下の生じていることがわかる。

【0067】さて、本構造により実現されたトランジスタの耐圧 $BVebo$ ($I_{ebo}=10nA$)は $6.17V$ であった。係る構造トランジスタに対して、従来の図18に示した同一の常温/ストレス電圧(V_s)= $3.2V$ 条件で、時間 $t_s=2.5 \times 10^4$ 秒のストレス試験を行なった前後の特性を、同一図面上に重ね書きをし、これを図19に示した。図19では、夫々が連続した一つの線となりストレスをかける前後で殆ど違いが表われず、ストレスに強い構造となっていることが表わされている。なお、図19には前述したエミッタ・ベース間耐圧特性に変化はなく、耐ホットキャリア特性には何らの変更も生じないことも表われている。

【0068】図20はストレス電圧 V_s とトランジスタ寿命との関係に関する、実験値をまとめたものであり、濃度と接合深さ条件変えて夫々調べてある。ここで、トランジスタ寿命は、 E/B 順バイアス電圧(V_{be})= $0.74V$ 条件で、 hfe が20%劣化するまでの時間と定義している。本実施例のトランジスタでは、常温度/逆バイアス電圧(ストレス電圧) $V_s=5.0V$ 条件で図20のC点に示したように、 5.4×10^6 秒(=1500時間)の寿命を得たが、同一条件で従来のトランジスタは1秒の寿命も達成できなかった。

【0069】また本実施例トランジスタは常温度/逆バイアス電圧(ストレス電圧) $V_s=3.2V$ 条件で図20中のB点に示したように、トランジスタ寿命(t_{L*})は 9×10^{10} 秒(= 2.5×10^7 時間)であるが、従来のトランジスタでは、同一条件で 1×10^4 秒(=2.8時間)の信頼性しか確保できなかった。ストレス電圧依存性を示す図20のA点が、係る従来のトランジスタの寿命である。このように本発明により信頼性はおよそ7桁向上していることがわかる。

【0070】なお、図20中に11で示した例は、従来技術に類似した濃度と接合深さ条件にて、 V_s を低 V_s ($2.7V$)から高 V_s ($5.0V$)条件まで変化させた時のトランジスタ寿命(t_{L*})を表わしている。11の例では t_{L*} の決定要因をよく示している。記号Tで表わした高 V_s 領域では降服電圧($BVebo$)に律則されて t_{L*} が激減し、記号Sで表わした低 V_s 領域では Si/SiO_2 の障壁効果で長寿命となる。

【0071】図21は本実施例の適用例であり、磁気ディスクに用いられる薄膜ヘッド用のリード/ライト(読込み/書込み)回路の構成を示す回路図である。図21において、F領域は入力バッファ回路、G領域は出力アンプ回路で、30、31はライト(書込み)・トランジスタであり、32、33はリード(読込み)・トランジスタである。

【0072】また、29は薄膜ヘッド、27はレベル変換回路、28はリードアンプ回路である。従来においては、リード(読込み)・トランジスタ32、33の信頼性

12

の問題より、印加できる E/B ストレス電圧は、回路的な工夫により実質的印加電圧の $0.2V$ 程度の低減を見込んでも、 $2.8V$ が限界であり、そのため $8.5GB/sec$ 仕様の回路が限界であったが、前述の如く本発明により E/B ストレス電圧は $3.2V$ 以上が許容され、 $10GB/sec$ 以上の高速転送速度の回路を実現することができ。

【0073】図22は本実施例の他の適用例の回路構成を概略的に示す図である。図22の(a)に示す例ではライトアンプ42とリードアンプ43とに薄膜ヘッド44を共用しているために、リードアンプ43の高速化が必要となり、そのためにリードアンプ43の初段トランジスタには、 E/B 耐圧向上だけではなく、低雑音性も必要となる。

【0074】これに対して、図22の(b)に示す例では、記録用の薄膜ヘッド44と再生用のMRヘッド45が分離されている。このため(b)の例ではリードアンプ43の高速化は不要であり、ライトアンプ42のみ的高速化が要求されるが、この場合に低雑音性は不必要であり、ライトアンプ42のトランジスタの、 E/B 耐圧の向上のみが必要となる。

【0075】図23は、係るMRヘッド45用のライトアンプ42の回路及びトランジスタに経時的に印加される電圧の関係を概念的に示す図である。図中、(a)に示す回路で46、47、60、61はトランジスタ、50、51、52、53は各トランジスタのベース端子を示し、各ベース端子には順に、54、55、56、57なる信号電圧が印加される。トランジスタ46、47のコレクタ端子には薄膜ヘッド44の両端子が接続され、電圧 V_a 、 V_b が印加される。

【0076】図中、(b)に V_1 、 V_2 、 V_a 、 V_b の電圧の時間変化を示している。例えば、トランジスタ46に着目すると、58なるストレスが印加される。MRヘッドでも薄膜ヘッドと同様に、 E/B 耐圧の向上が必要となる根拠である。その際に必要となる E/B 耐圧58および59は、適用される回路特性によって変化するが、転送速度がおよそ $16MB/sec$ 装置の場合には $5.0V$ がその目標となる。この目標は、前述した本実施例のトランジスタを適用することで充たせる。また、その際には低雑音性が不必要である点より、先に述べた、グラフト・ベース層10とエミッタ層4との間隔は $1.2\mu m$ だけ外部へ隔てられた仕様のもので充分である。

【0077】ところで、本発明は、原則としては回路を構成しているすべてのトランジスタに適用可能であるが、実用上においては、 E/B 耐圧を必要とするトランジスタのみとするのが望ましい。なぜなら、 E/B 耐圧仕様は製品ごとに変化する性質をもっている。そしてベース層は基準となる抵抗層としても利用される。したがって、その基準抵抗層が、製品ごとに変化してしまう事

態に陥って回路設計を混乱させるのを防止するためである。

【0078】また、E/B耐圧が高くなるにつれて、実際のプロセスは難しいものとなりがちであるために、回路全体のトランジスタをE/B高耐圧とした場合には、回路特性の安定性や製品の製造歩留まりに悪影響を与えることも懸念される。したがって、回路においてE/B高耐圧を必要とする素子にのみ、高耐圧化を適用するのが望ましい。

【0079】例えば、図22の(a)に示す薄膜ヘッド44のみのリード/ライト回路では、リードアンプ回路43に限って適用するのがよい。(b)に示すMRヘッドを併用するリード/ライト回路では、薄膜ヘッド44が用いられるライトアンプ回路42に限って適用するのが好ましい。

【0080】(実施例2)本実施例のトランジスタは、実施例1のトランジスタの構造はそのままにして、リンクベース2をB+イオンをソースとして用い、20KeV、 $0.4 \times 10^{12}/\text{cm}^2$ と80KeV、 $1.6 \times 10^{12}/\text{cm}^2$ ドーパ量の2重打込みの条件とし、シリンドリカルベースを80KeV、 $1.3 \times 10^{13}/\text{cm}^2$ ドーパ量の条件で形成した。

【0081】これにより、 $Nb(\text{max}) = 5.0 \times 10^{17}/\text{cm}^3$ のベース層不純物プロファイルを形成した。ただし、この際、エミッタ・アニールは、トータルで950℃で55分とした。係るトランジスタの信頼性を評価したところ、逆バイアス電圧(ストレス電圧) $V_s = 5.0\text{V}$ 条件で、図20にD点で示したように、 1×10^9 秒(= 2.8×10^5 時間)の寿命を得た。しかし、ベース抵抗は230Ωと、前記実施例1に比べておよそ2倍に増加し、低ノイズ用以外の、たとえばプルアップ回路などに最適である。

【0082】(実施例3)本実施例のトランジスタは、実施例1のトランジスタと同一条件とし、リンクベースをB+イオンをソースとして用い、20KeV、 $1.0 \times 10^{12}/\text{cm}^2$ と60KeV、 $4.0 \times 10^{12}/\text{cm}^2$ ドーパ量の2重打込み条件で、シリンドリカルベースを40KeV、 $4.3 \times 10^{13}/\text{cm}^2$ ドーパ量の条件で形成した。

【0083】これにより、 $Nb(\text{max}) = 2.0 \times 10^{18}/\text{cm}^3$ のベース層不純物プロファイルを形成した。エミッタ・アニールは、トータルで950℃で55分とした。係るトランジスタの信頼性を評価したところ、逆バイアス電圧(ストレス電圧) $V_s = 3.5\text{V}$ 条件において 5.4×10^6 秒(=1500時間)の寿命を得た。これを図20にE点で示した。ベース抵抗は120Ωであった。

【0084】(実施例4)本実施例のトランジスタは、実施例1のトランジスタと同一条件とし、リンクベースをB+イオンをソースとして用い、20KeV、 $1.0 \times$

$10^{12}/\text{cm}^2$ と80KeV、 $4.0 \times 10^{12}/\text{cm}^2$ ドーパ量の2重打込み条件で、シリンドリカルベースを80KeV、 $2.0 \times 10^{13}/\text{cm}^2$ ドーパ量の条件で形成した。

【0085】これにより、 $Nb(\text{max}) = 6.0 \times 10^{17}/\text{cm}^3$ のベース層不純物プロファイルを形成した。ただしこの際、エミッタ・アニールは、トータルで950℃で90分とした。係るトランジスタの信頼性を評価したところ、逆バイアス電圧(ストレス電圧) $V_s = 10.2\text{V}$ 条件において、およそ 1.5×10^7 秒(=4170時間)の寿命を得た。これを図20にH点で示した。

【0086】図24は実施例1と実施例4のトランジスタの耐圧B V_{ebo} 特性を従来例との比較で示している。図17に示した特性に比べて、アバランシェ特性とトンネル特性の和となっている。これはベース抵抗($r_{bb'}$)対策として、リンクベースの高濃度化を図っている影響である。

【0087】(実施例5)本実施例のトランジスタは、実施例1のトランジスタと同一条件とし、リンクベースをB+イオンをソースとして用い、20KeV、 $1.0 \times 10^{12}/\text{cm}^2$ と80KeV、 $4.0 \times 10^{12}/\text{cm}^2$ ドーパ量の2層構造とし、シリンドリカルベースは90KeV、 $2.5 \times 10^{13}/\text{cm}^2$ ドーパ量の条件で形成した。

【0088】これにより、 $Nb(\text{max}) = 7.0 \times 10^{17}/\text{cm}^3$ のベース層不純物プロファイルを形成した。エミッタ・アニールは、トータルで950℃で90分とした。係るトランジスタの信頼性を評価したところ、逆バイアス電圧(ストレス電圧) $V_s = 6.0\text{V}$ 条件において 5.4×10^6 秒(=1500時間)の寿命を得た。これを図20にI点で示した。

【0089】(実施例6)本実施例のトランジスタは、2層のポリシリコンを利用した構造となっている。基本的な機能そのものは、図1に示す構造のものと比較して大きな違いはない。しかし本実施例では、グラフトベースの形成を、一般にはサイドウォール残しと呼ばれる自己整合的な方法によって行なっている。これにより、プロセスにおけるグラフトベース形成の際のマスクの合わせ誤差に対するマージンが不用となるので、エミッタ層とグラフトベースとの間隔を短縮することが可能となり、ベース抵抗 $r_{bb'}$ を低減することができる。

【0090】図25は本実施例である半導体装置のバイポーラ型トランジスタを示す縦断面図である。

【0091】図中、1は半導体基板上に埋込層(何れも図示せず)を介して形成されたコレクタ層、3はコレクタ層1の表面領域に設けられたシリンドリカル状に設けられた真性ベース層(以下、シリンドリカルベースという)であり、4はシリンドリカルベース層の表面領域内に設けられたエミッタ層であり、このエミッタ接合とベース接合に逆バイアス電圧が印加される。シリンドリカ

15

ルベース3は後述する絶縁膜64、67に設けたエミッタ形成孔39よりエミッタ層4に対してシリンドリカル状に自己整合的に設けられる。シリンドリカルベース3は実行的な最大不純物濃度が $1.3 \times 10^{18}/\text{cm}^3$ 、エミッタ層4は接合深さ $0.05 \mu\text{m}$ であり、エミッタ接合深さ下のトランジスタが動作する実効ベース幅は $0.09 \mu\text{m}$ である。

【0092】10はシリンドリカルベース3の周辺に設けられた高濃度外部ベース層であるグラフトベースであり、グラフトベース10は、エミッタ層4から $0.3 \mu\text{m}$ の間隔をとって外側に設けられている。なお、グラフトベース10とエミッタ層4との間隔については、夫々のイオン打ち込みのマスクとなるサイドウォール67の寸法で表わしており、従って実際に形成される間隔はイオンがマスクの内側に入り込む分だけ短くなる。

【0093】シリンドリカルベース3とグラフトベース10とはつなぎ層であるリンクベース2によって接続されており、リンクベース2は2層構造で、トータル表面濃度が $6.5 \times 10^{17}/\text{cm}^3$ で、接合深さは $0.14 \mu\text{m}$ である。リンクベース2はエミッタ層4の接合深さよりは深く、かつシリンドリカルベース3の接合深さよりは浅く設け、不純物濃度がシリンドリカルベース3の接合濃度より低濃度で、該リンクベース2の最大濃度点がエミッタ層4の接合深さより深い位置に設定されている。なお、図中の、(E)、(IB)、(LB)、(GB)は夫々エミッタ、シリンドリカルベース、リンクベース、グラフトベースを示し、他の図にても同様に表示する。

【0094】6は 200nm 程度の厚さに形成された多結晶Si膜からなるエミッタ電極であり、絶縁膜64、67によって分離され、リンクベース2上に延びている。66はベース電極65をエミッタ電極6から分離する絶縁膜である。

【0095】次に、本実施例のバイポーラ型半導体装置の製造方法について説明する。

【0096】図2、図26乃至図28は、本実施例に対応したバイポーラ型半導体装置の製造工程ごとのトランジスタを示す縦断面図である。

【0097】本実施例のバイポーラ型半導体装置の製造方法は、先ず図示はしないがP型の単結晶Si基板の局所領域にN+埋込層を形成し、この半導体基板上に、図2に示すように比抵抗 $3 \Omega \text{cm}$ のをエピタキシャル法によってコレクタ層1を $1.75 \mu\text{m}$ 形成した。

【0098】次に、図26に示すように、コレクタ層1上に多結晶Si膜65を 350nm 形成し、この多結晶Si膜65に BF_3 をソースとして、イオン打ち込みを行ない、 800°C で10分の N_2 アニールを行なった。次に公知の方法で、HLD-SiO₂膜66を積層し、公知のホトリソグラフィとドライエッチング法で、多結晶Si膜65及びHLD-SiO₂膜66をパターンニング

16

し開孔領域69を開孔し、この後に、 875°C で35分のドライO₂条件で開孔領域69の表面層を酸化処理し、 13nm のSiO₂膜64を設けた。しかる後に、イオン打ち込み法によって、リンクベース(LB=link Base)層2の形成を行なった。その条件は、 BF_3 ソースを用いて、 60KeV で $2.5 \times 10^{12}/\text{cm}^2$ ドーパ量とした。

【0099】次に、図27に示すように、HLD-SiO₂膜を 450nm 厚みで積層し、ドライエッチング法で側壁残しを行ないエッチングすることによってサイドウォール67を形成し、このサイドウォール67をマスクとして BF_3 ソースを用いて、 35KeV で $7 \times 10^{13}/\text{cm}^2$ ドーパ量条件で、シリンドリカルベース(IB)層3を形成し、 900°C で30秒の条件でアニールした。同時にこのアニールにより、多結晶Si膜65からの不純物のしみだしによってグラフトベース10を浅く形成する。

【0100】次に、図28に示すように、減圧CVD法により、エミッタ層形成用の多結晶Si膜を 200nm 形成し、この多結晶Si膜にAs+をソースとして、 80KeV で $2 \times 10^{16}/\text{cm}^2$ ドーパ量条件でドーピングを行ない、 950°C で300秒のアニールをして半導体基板主面への不純物熱拡散を行ないエミッタ層4を形成し、同時にこのアニールによる不純物拡散によってシリンドリカルベース3及びグラフトベース10を形成する。

【0101】この後、公知のホトリソグラフィ及びエッチング加工によって多結晶Si膜6の加工を行ないエミッタ電極を形成して図25の構造を得た。

【0102】以上に述べた、本実施例6においての特徴は、既述しているようにグラフトベース(GB)層10が、サイドウォール層67を介して、エミッタ接合より $0.3 \mu\text{m}$ だけ外部へ隔てられた領域に設けられている点にある。これにより、ベース抵抗($r_{bb'}$)は 100Ω 以下にまで低減可能となった。

【0103】また、本実施例のトランジスタの耐圧BV_{ebo}($I_{ebo}=10 \text{nA}$)は 5.0V であった。比較のために、図11の(b)に示す従来のパラレルブレイン構造で真正ベース20が最大濃度 $3.5 \times 10^{18}/\text{cm}^3$ 条件で作成したトランジスタの耐圧BV_{ebo}($I_{ebo}=10 \text{nA}$)は 2.5V であった。

【0104】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0105】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0106】(1)本発明によれば、エミッタ・ベース間に発生する電界を低減することが可能となるという効果がある。

【0107】(2)本発明によれば、上記(1)により、トランジスタの長寿命化がはかれるという効果がある。

【0108】(3)本発明によれば、高い逆バイアス電圧(ストレス電圧)の印加が可能となるという効果がある。

【0109】(4)本発明によれば、上記(3)により、バイポーラ半導体装置の高速化、高性能化が図れるという効果がある。

【0110】(5)本発明によれば、上記(1)、(3)により、トランジスタの信頼性の向上がはかれるという効果がある。

【0111】(6)本発明によれば、上記(1)、(3)により、トランジスタの製造歩留りが向上するという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを示す縦断面図である。

【図2】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図3】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図4】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図5】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図6】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図7】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図8】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図9】本発明の一実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図10】従来のバイポーラ型の半導体装置のトランジ

スタを示す縦断面図である。

【図11】本発明のバイポーラ型の半導体装置のトランジスタ及び従来のトランジスタのベース部分を拡大して示す図である。

【図12】従来のバイポーラ型のトランジスタのエミッタ/ベース接合領域を部分を拡大して示す図である。

【図13】本発明のバイポーラ型の半導体装置のトランジスタの不純物プロファイルを示す図である。

【図14】従来のバイポーラ型の半導体装置のトランジスタの不純物プロファイルを示す図である。

【図15】ベース構造の作用を模式的に示す図である。

【図16】シリンドリカルベースの仕様とトランジスタの特性との関係を示す図である。

【図17】逆バイアス電圧と耐圧特性との関係を示す図である。

【図18】従来のトランジスタの劣化を示す図である。

【図19】本発明のトランジスタの劣化を示す図である。

【図20】トランジスタのストレス電圧と寿命との関係を示す図である。

【図21】本発明の適用例の構成を示す回路図である。

【図22】本発明の他の適用例の回路構成を概略的に示す図である。

【図23】トランジスタに経時的に印加される電圧の関係を概念的に示す図である。

【図24】トランジスタの耐圧特性を比較した図である。

【図25】本発明の他の実施例であるバイポーラ型の半導体装置のトランジスタを示す縦断面図である。

【図26】本発明の他の実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【図27】本発明の他の実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

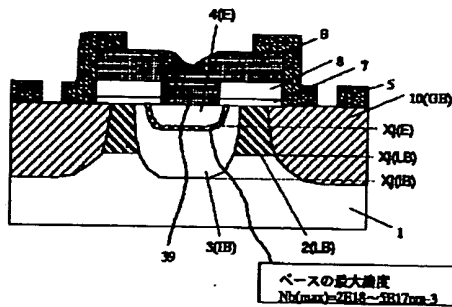
【図28】本発明の他の実施例であるバイポーラ型の半導体装置のトランジスタを製造工程毎に示す縦断面図である。

【符号の説明】

1…コレクタ層、2…リンクベース(つなぎベース)、3…シリンドリカルベース(真性ベース)、4…エミッタ層、5、7、8、64、66、67…絶縁膜、6…エミッタ電極、9…レジストマスク、10…グラフトベース、20…従来法の真性ベース、39…エミッタ形成孔、65…ベース電極、67…サイドウォール。

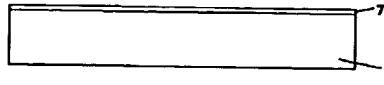
【図1】

図1



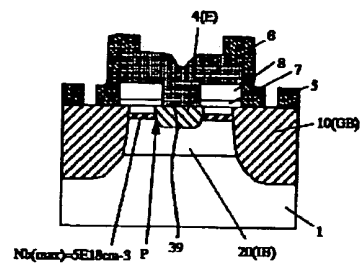
【図2】

図2



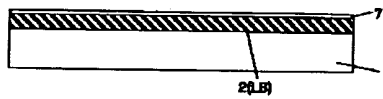
【図10】

図10



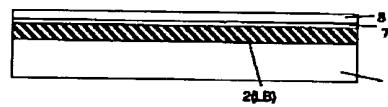
【図3】

図3



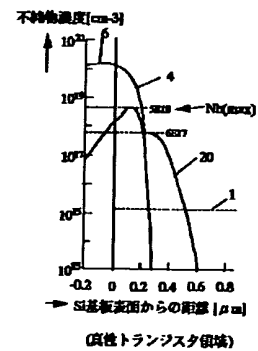
【図4】

図4



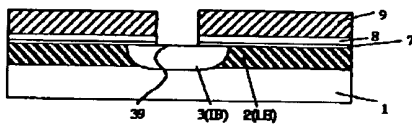
【図14】

図14



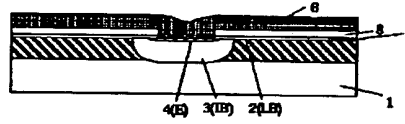
【図5】

図5



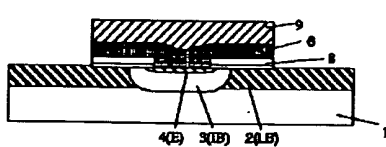
【図6】

図6



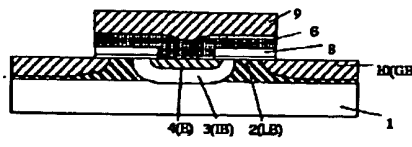
【図7】

図7

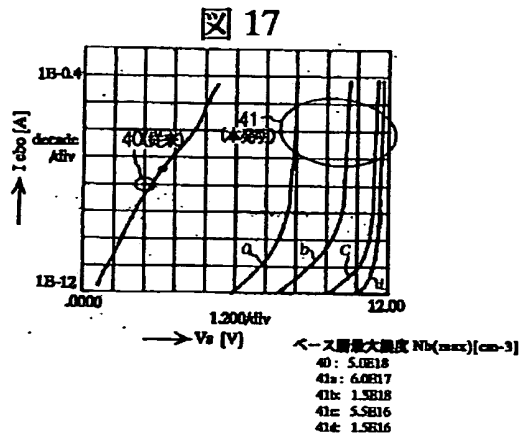


【図8】

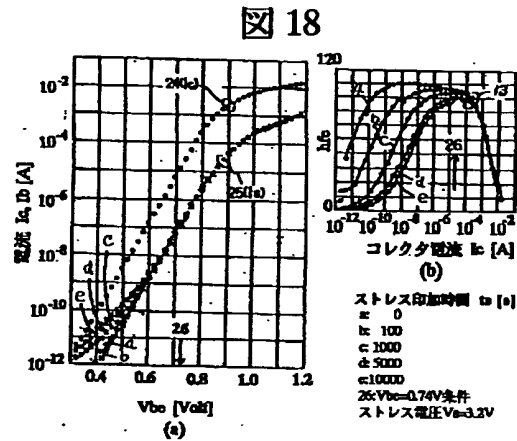
図8



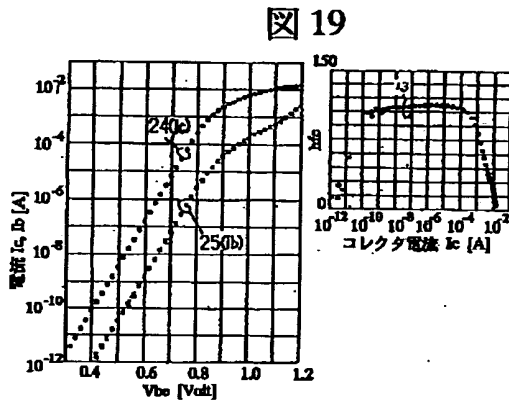
【図17】



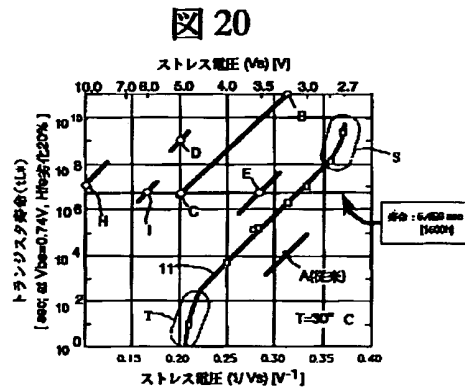
【図18】



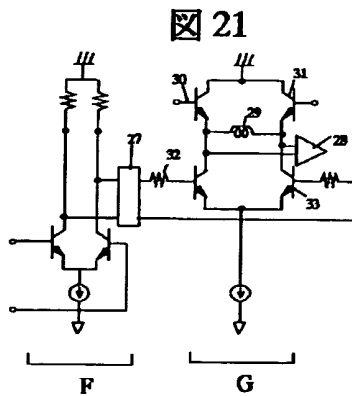
【図19】



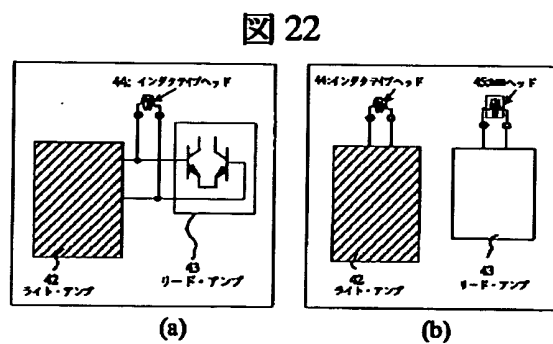
【図20】



【図21】

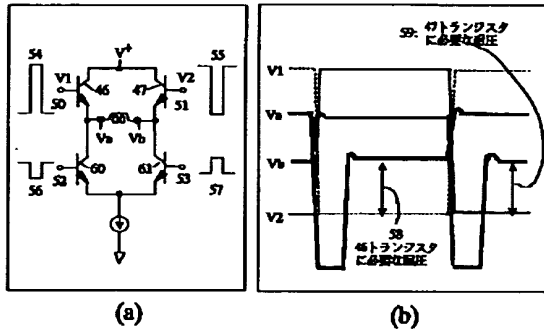


【図22】



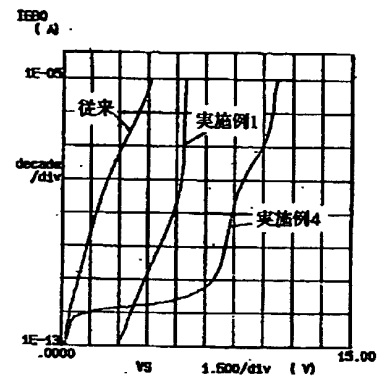
【図23】

図 23



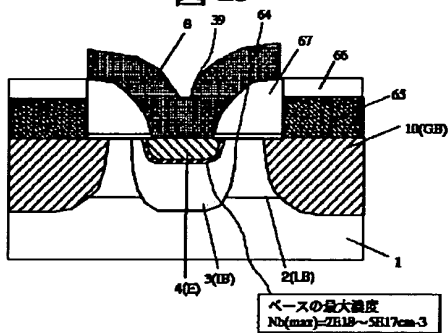
【図24】

図 24



【図25】

図 25



【図28】

図 28

